

日本国特許庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出願年月日 2003年 2月12日  
Date of Application:

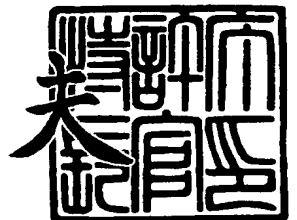
出願番号 特願2003-033666  
Application Number:  
[ST. 10/C]: [JP 2003-033666]

出願人 セイコーエプソン株式会社  
Applicant(s):

2003年12月 5日

特許庁長官  
Commissioner,  
Japan Patent Office

今井 康



出証番号 出証特2003-3101054

【書類名】 特許願

【整理番号】 J0093438

【提出日】 平成15年 2月12日

【あて先】 特許庁長官殿

【国際特許分類】 G09F 9/30  
H05B 33/04

【発明者】

【住所又は居所】 長野県諏訪市大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内

【氏名】 宮澤 貴士

【特許出願人】

【識別番号】 000002369

【氏名又は名称】 セイコーエプソン株式会社

【代理人】

【識別番号】 100095728

【弁理士】

【氏名又は名称】 上柳 雅誉

【連絡先】 0 2 6 6 - 5 2 - 3 1 3 9

【選任した代理人】

【識別番号】 100107076

【弁理士】

【氏名又は名称】 藤網 英吉

【選任した代理人】

【識別番号】 100107261

【弁理士】

【氏名又は名称】 須澤 修

【手数料の表示】

【予納台帳番号】 013044

【納付金額】 21,000円

**【提出物件の目録】****【物件名】** 明細書 1**【物件名】** 図面 1**【物件名】** 要約書 1**【包括委任状番号】** 0109826**【プルーフの要否】** 要

【書類名】 明細書

【発明の名称】 電気光学装置の駆動方法及び電子機器

【特許請求の範囲】

【請求項 1】 走査線と、データ線と、電気光学素子を有する画素回路と、を備えた電気光学装置の駆動方法であって、

前記電気光学素子と、前記電気光学素子に接続された駆動トランジスタとの電気的な接続を切断した状態で、前記駆動トランジスタのソース及びドレインのうち一方と前記駆動トランジスタの制御用端子とを電氣的に接続し、前記制御用端子の電位を第 1 の電位とする第 1 のステップと、

前記画素回路のスイッチングトランジスタをオン状態にする選択信号を前記走査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態になっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記制御用端子に接続された容量素子に印加し、容量カップリングにより前記制御用端子の電位を第 2 の電位として、前記駆動トランジスタの導通状態を設定する第 2 のステップと、

前記駆動トランジスタの前記導通状態に応じた電力を前記電気光学素子に供給する第 3 のステップと、を含み、

前記第 1 のステップを行っている期間には、少なくとも前記スイッチングトランジスタをオン状態にしないことを特徴とする電気光学装置の駆動方法。

【請求項 2】 請求項 1 に記載の電気光学装置の駆動方法において、

前記第 1 の電位は、前記駆動トランジスタをオフ状態とする電位であることを特徴とする電気光学装置の駆動方法。

【請求項 3】 走査線と、データ線と、電気光学素子を有する、画素回路と、を備えた電気光学装置の駆動方法であって、

前記電気光学素子と、前記電気光学素子に接続された駆動トランジスタとの電気的な接続を切断した状態で、前記駆動トランジスタのソース及びドレインのうち一方と前記駆動トランジスタの制御用端子とを電氣的に接続し、前記制御用端子の電位を第 1 の電位とする第 1 のステップと、

前記画素回路のスイッチングトランジスタをオン状態にする選択信号を前記走

査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態になっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記制御用端子に接続された容量素子に印加し、容量カップリングにより前記制御用端子の電位を第2の電位として、前記駆動トランジスタの導通状態を設定する第2のステップと、

前記駆動トランジスタの前記導通状態に応じた電力を前記電気光学素子に供給する第3のステップと、を含み、

前記スイッチングトランジスタをオン状態とする選択信号が供給される走査線と、当該選択信号の次に前記スイッチングトランジスタをオン状態とする選択信号が供給される走査線とは、隣接していないことを特徴とする電気光学装置の駆動方法。

【請求項4】 走査線と、データ線と、電気光学素子を有する画素回路と、を備えた電気光学装置の駆動方法であって、

前記電気光学素子と、前記電気光学素子に接続された駆動トランジスタとの電氣的な接続を切断した状態で、前記駆動トランジスタのソース及びドレインのうち一方と前記駆動トランジスタの制御用端子とを電氣的に接続し、前記制御用端子の電位を第1の電位とする第1のステップと、

前記画素回路のスイッチングトランジスタをオン状態にする選択信号を前記走査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態になっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記制御用端子に接続された容量素子に印加し、容量カップリングにより前記制御用端子の電位を第2の電位として、前記駆動トランジスタの導通状態を設定する第2のステップと、

前記駆動トランジスタの前記導通状態に応じた電力を前記電気光学素子に供給する第3のステップと、を含み、

前記走査線の全てを選択することにより規定される主期間は、前記走査線のうち奇数番目の走査線に対応して設けられた画素回路について前記第2のステップ及び前記第3のステップを行う第1の副期間と、

前記走査線のうち偶数番目の走査線に対応して設けられた画素回路について前

記第 2 のステップ及び前記第 3 のステップを行う第 2 の副期間とを含むことを特徴とする電気光学装置の駆動方法。

【請求項 5】 請求項 4 に記載の電気光学装置の駆動方法において、

前記第 1 の副期間中は、前記走査線のうち偶数番目の走査線に対応する画素回路について、前記第 1 のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止し、

前記第 2 の副期間中は、前記走査線のうち奇数番目の走査線に対応する画素回路について、前記第 1 のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止することを特徴とする電気光学装置の駆動方法。

【請求項 6】 走査線と、データ線と、電気光学素子と、前記電気光学素子に接続された、第 1 の端子、第 2 の端子及び第 1 の制御用端子を有する第 1 のトランジスタとを備えた画素回路と、を含む電気光学装置の駆動方法であって、

第 3 の端子、第 4 の端子及び第 2 の制御用端子を有し、前記第 3 の端子と前記第 2 の制御用端子とが前記第 1 の制御用端子に接続された第 2 のトランジスタの前記第 4 の端子に所定電圧を印加することにより、前記第 1 の制御用端子の電位を第 1 の電位に設定する第 1 のステップと、

前記画素回路のスイッチングトランジスタをオン状態とする選択信号を前記走査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態となっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記第 1 の制御用端子に接続された容量素子に印加し、容量カップリングにより前記第 1 の制御用端子の電位を第 2 の電位とし、前記第 1 のトランジスタの導通状態を設定する第 2 のステップと、

前記第 1 のトランジスタの前記導通状態に応じた電力を前記電気光学素子に供給する第 3 のステップと、を含み、

前記第 1 ステップを行っている期間には、少なくとも前記スイッチングトランジスタをオン状態にしないことを特徴とする電気光学装置の駆動方法。

【請求項 7】 請求項 6 に記載の電気光学装置の駆動方法において、

前記スイッチングトランジスタをオン状態とする選択信号が供給される走査線

と、当該選択信号の次に前記スイッチングトランジスタをオン状態とする選択信号が供給される走査線とは隣接していないことを特徴とする電気光学装置の駆動方法。

【請求項 8】 請求項 6 または 7 に記載の電気光学装置の駆動方法において、

前記第 1 の電位は、前記第 1 のトランジスタをオフ状態とする電位であることを特徴とする電気光学装置の駆動方法。

【請求項 9】 請求項 6 乃至 8 のいずれか一つに記載の電気光学装置の駆動方法において、

前記走査線の全てを選択することにより規定される主期間は、前記走査線のうち奇数番目の走査線に対応して設けられた画素回路について前記第 2 のステップ及び前記第 3 のステップを行う第 1 の副期間と、

前記走査線のうち偶数番目の走査線に対応して設けられた画素回路について前記第 2 のステップ及び前記第 3 のステップを行う第 2 の副期間とを含むことを特徴とする電気光学装置の駆動方法。

【請求項 10】 請求項 9 に記載の電気光学装置の駆動方法において、

前記第 1 の副期間中は、前記走査線のうち偶数番目の走査線に対応する画素回路について、前記第 1 のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止し、

前記第 2 の副期間中は、前記走査線のうち奇数番目の走査線に対応する画素回路について、前記第 1 のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止することを特徴とする電気光学装置の駆動方法。

【請求項 11】 請求項 1 乃至 10 のいずれか一つに記載の電気光学装置の駆動方法において、

前記走査線の各々に対応して設けられた前記画素回路に含まれる前記電気光学素子は、赤色、緑色及び青色のいずれか一つの色で発光する発光素子であることを特徴する電気光学装置の駆動方法。

【請求項 12】 請求項 1 乃至 11 のいずれか一つに記載の電気光学装置の

駆動方法において、

前記電気光学素子は、その発光層が有機材料で形成された有機EL素子であることを特徴とする電気光学装置の駆動方法。

【請求項13】 請求項1乃至12のいずれか一つに記載の電気光学装置の駆動方法を用いたことを特徴とする電子機器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、電気光学装置の駆動方法及び電子機器に関するものである。

【0002】

【従来の技術】

電気光学素子として有機EL素子を用いた表示ディスプレイの駆動方式の一つに、各有機EL素子の発光輝度を制御する複数の画素回路をマトリクス状に配置したアクティブマトリクス駆動方式がある。

【0003】

前記画素回路は、その各々が有機EL素子に供給する駆動電流を制御するトランジスタと、そのトランジスタの導通状態を制御するデータ電圧に応じた電圧を保持する保持キャパシタとを備えている。また、画素回路は、その各々が対応する走査線を介して走査線駆動回路と電気的に接続されるとともに、対応するデータ線を介してデータ線駆動回路と電気的に接続されている。そして、走査線駆動回路が走査線を介して画素回路を選択するとともに、その選択された各画素回路にデータ線を介してデータ線駆動回路からデータ信号が供給される。

【0004】

これにより、前記画素回路に設けられた保持キャパシタに前記データ信号が書き込まれるとともに、その書き込まれた前記データ信号の大きさに応じた電圧が保持キャパシタに保持される。そして、この保持キャパシタに保持された電圧値に応じて前記トランジスタの導通状態が制御される。前記トランジスタは、その導通状態に対応した駆動電流を生成し、該駆動電流が有機EL素子に供給されることで有機EL素子の発光輝度が制御されるようになっている（例えば、特許文



献1参照)。

【0005】

【特許文献1】

国際公開第WO98/36407号パンフレット

【0006】

【発明が解決しようとする課題】

ところで、前記保持キャパシタへのデータ信号の書き込みに要する時間（以下、書き込み時間という）は、データ信号が小さいほど長くなってしまふ。特に、低輝度で有機EL素子を発光させたい場合では、前記データ線等の配線容量によって保持キャパシタへのデータ信号の書き込み時間が長くなり、画像の表示に遅延を生じさせてしまふ。

【0007】

そこで、本発明の目的の一つは、特別な回路を設けることなく、データ書き込み時間の短縮を図ることができる電気光学装置の駆動方法及び電子機器を提供することにある。

【0008】

【課題を解決するための手段】

本発明の電気光学装置の駆動方法は、走査線と、データ線と、電気光学素子を有する画素回路と、を備えた電気光学装置の駆動方法であって、前記電気光学素子と、前記電気光学素子に接続された駆動トランジスタとの電気的な接続を切断した状態で、前記駆動トランジスタのソース及びドレインのうち一方と前記駆動トランジスタの制御用端子とを電気的に接続し、前記制御用端子の電位を第1の電位とする第1のステップと、前記画素回路のスイッチングトランジスタをオン状態にする選択信号を前記走査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態になっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記制御用端子に接続された容量素子に印加し、容量カップリングにより前記制御用端子の電位を第2の電位として、前記駆動トランジスタの導通状態を設定する第2のステップと、前記駆動トランジスタの前記導通状態に応じた電力を前記電気光学素子

に供給する第3のステップと、を含み、前記第1のステップを行っている期間には、少なくとも前記スイッチングトランジスタをオン状態にしないようにした。

#### 【0009】

これによれば、データの書き込みの前に駆動トランジスタの制御用端子と、そのドレインまたはソースと電氣的に接続した。そして、前記駆動トランジスタの制御用端子の電位を同駆動トランジスタの閾値電圧にまで押し上げて同駆動トランジスタをリセットするようにした。従って、画素回路のリセットを行う特別な回路を設けることなく、データ書き込み時間の短縮を図ることができる電気光学装置を提供することができる。

#### 【0010】

この電気光学装置の駆動方法において、前記第1の電位は、前記駆動トランジスタをオフ状態とする電位であってもよい。

これによれば、画素回路のリセットを行う特別な回路を設けることなく、駆動トランジスタの閾値電圧を補償しつつリセットする画素回路の回路構成を容易にすることができる。

#### 【0011】

本発明の電気光学装置の駆動方法は、走査線と、データ線と、電気光学素子を有する、画素回路と、を備えた電気光学装置の駆動方法であって、前記電気光学素子と、前記電気光学素子に接続された駆動トランジスタとの電氣的な接続を切断した状態で、前記駆動トランジスタのソース及びドレインのうち一方と前記駆動トランジスタの制御用端子とを電氣的に接続し、前記制御用端子の電位を第1の電位とする第1のステップと、前記画素回路のスイッチングトランジスタをオン状態にする選択信号を前記走査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態になっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記制御用端子に接続された容量素子に印加し、容量カップリングにより前記制御用端子の電位を第2の電位として、前記駆動トランジスタの導通状態を設定する第2のステップと、前記駆動トランジスタの前記導通状態に応じた電力を前記電気光学素子に供給する第3のステップと、を含み、前記スイッチングトランジスタをオン

状態とする選択信号が供給される走査線と、当該選択信号の次に前記スイッチングトランジスタをオン状態とする選択信号が供給される走査線とは、隣接していないようにした。

#### 【0012】

これによれば、リセットを行う特別な回路を設けることなく、データ書き込み時間の短縮を図ることができる電気光学装置を飛び越し走査方式で制御することができる。また、このことにより、リセット及び書き込み制御を走査線毎で分散させることができるので、前記画素回路にデータ信号を供給する走査線駆動回路の負担を低減させることができる。

#### 【0013】

本発明の電気光学装置の駆動方法は、走査線と、データ線と、電気光学素子を有する画素回路と、を備えた電気光学装置の駆動方法であって、前記電気光学素子と、前記電気光学素子に接続された駆動トランジスタとの電氣的な接続を切断した状態で、前記駆動トランジスタのソース及びドレインのうち一方と前記駆動トランジスタの制御用端子とを電氣的に接続し、前記制御用端子の電位を第1の電位とする第1のステップと、前記画素回路のスイッチングトランジスタをオン状態にする選択信号を前記走査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態になっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記制御用端子に接続された容量素子に印加し、容量カップリングにより前記制御用端子の電位を第2の電位として、前記駆動トランジスタの導通状態を設定する第2のステップと、前記駆動トランジスタの前記導通状態に応じた電力を前記電気光学素子に供給する第3のステップと、を含み、前記走査線の全てを選択することにより規定される主期間は、前記走査線のうち奇数番目の走査線に対応して設けられた画素回路について前記第2のステップ及び前記第3のステップを行う第1の副期間と、前記走査線のうち偶数番目の走査線に対応して設けられた画素回路について前記第2のステップ及び前記第3のステップを行う第2の副期間とを含む。

#### 【0014】

これによれば、リセットを行う特別な回路を設けることなく、データ書き込み

時間の短縮を図ることができる電気光学装置をインターレース方式で制御することができる。また、このことにより、リセット及び書き込み制御を走査線毎で分散させることができるので、前記画素回路にデータ信号を供給する走査線駆動回路の負担を低減させることができる。

#### 【0015】

この電気光学装置の駆動方法において、前記第1の副期間中は、前記走査線のうち偶数番目の走査線に対応する画素回路について、前記第1のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止し、前記第2の副期間中は、前記走査線のうち奇数番目の走査線に対応する画素回路について、前記第1のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止するようにしてもよい。

#### 【0016】

これによれば、前記第1の副期間中に前記走査線のうち奇数番目の走査線に対応する画素回路についてその電気光学素子に対する電力の供給を停止し、第2の副期間中に前記走査線のうち奇数番目の走査線に対応する画素回路についてその電気光学素子に対する電力の供給を停止することで電気光学装置をインターレース方式で制御することができる。

#### 【0017】

本発明の電気光学装置によれば、走査線と、データ線と、電気光学素子と、前記電気光学素子に接続された、第1の端子、第2の端子及び第1の制御用端子を有する第1のトランジスタとを備えた画素回路と、を含む電気光学装置の駆動方法であって、第3の端子、第4の端子及び第2の制御用端子を有し、前記第3の端子と前記第2の制御用端子とが前記第1の制御用端子に接続された第2のトランジスタの前記第4の端子に所定電圧を印加することにより、前記第1の制御用端子の電位を第1の電位に設定する第1のステップと、前記画素回路のスイッチングトランジスタをオン状態とする選択信号を前記走査線を介して供給し、前記スイッチングトランジスタが前記選択信号によりオン状態となっている期間に、前記データ線及び前記スイッチングトランジスタを介して、データに対応するデータ電圧を前記第1の制御用端子に接続された容量素子に印加し、容量カップリ

ングにより前記第1の制御用端子の電位を第2の電位とし、前記第1のトランジスタの導通状態を設定する第2のステップと、前記第1のトランジスタの前記導通状態に応じた電力を前記電気光学素子に供給する第3のステップと、を含み、前記第1ステップを行っている期間には、少なくとも前記スイッチングトランジスタをオン状態にしないようにした。

#### 【0018】

これによれば、画素回路をリセットをするための特別な回路を形成することなく、データ書き込み時間の短縮を図ることができる電気光学装置を提供することができる。

#### 【0019】

この電気光学装置の駆動方法において、前記スイッチングトランジスタをオン状態とする選択信号が供給される走査線と、当該選択信号の次に前記スイッチングトランジスタをオン状態とする選択信号が供給される走査線とは隣接していないようにした。

#### 【0020】

これによれば、リセットを行う特別な回路を設けることなく、データ書き込み時間の短縮を図ることができる電気光学装置を飛び越し走査方式で制御することができる。また、このことにより、リセット及び書き込み制御を走査線毎で分散させることができるので、前記画素回路にデータ信号を供給する走査線駆動回路の負担を低減させることができる。

#### 【0021】

この電気光学装置の駆動方法において、前記第1の電位は、前記第1のトランジスタをオフ状態とする電位であってもよい。

これによれば、前記第1の電位を制御することで画素回路をリセットすることができる。

#### 【0022】

この電気光学装置の駆動方法において、前記走査線の全てを選択することにより規定される主期間は、前記走査線のうち奇数番目の走査線に対応して設けられた画素回路について前記第2のステップ及び前記第3のステップを行う第1の副

期間と、前記走査線のうち偶数番目の走査線に対応して設けられた画素回路について前記第2のステップ及び前記第3のステップを行う第2の副期間とを含んでいてもよい。

#### 【0023】

これによれば、リセットを行う特別な回路を設けることなく、データ書き込み時間の短縮を図ることができる電気光学装置をインターレース方式で制御することができる。また、このことにより、リセット及び書き込み制御を走査線毎で分散させることができるので、前記画素回路にデータ信号を供給する走査線駆動回路の負担を低減させることができる。

#### 【0024】

この電気光学装置の駆動方法において、前記第1の副期間中は、前記走査線のうち偶数番目の走査線に対応する画素回路について、前記第1のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止し、前記第2の副期間中は、前記走査線のうち奇数番目の走査線に対応する画素回路について、前記第1のステップを行うことにより当該画素回路に含まれる前記電気光学素子に対する電力の供給を停止するようにしてもよい。

#### 【0025】

これによれば、前記第1の副期間中に前記走査線のうち奇数番目の走査線に対応する画素回路についてその電気光学素子に対する電力の供給を停止し、第2の副期間中に前記走査線のうち奇数番目の走査線に対応する画素回路についてその電気光学素子に対する電力の供給を停止することで電気光学装置をインターレース方式で制御することができる。

#### 【0026】

この電気光学装置の駆動方法において、前記走査線の各々に対応して設けられた前記画素回路に含まれる前記電気光学素子は、赤色、緑色及び青色のいずれか一つの色で発光する発光素子であってもよい。

#### 【0027】

これによれば、フルカラーの電気光学装置においても、画素回路のリセットを行う特別な回路を設けることなく、リセットを行うことができる。

この電気光学装置の駆動方法において、前記電気光学素子は、その発光層が有機材料で形成された有機EL素子であってもよい。

#### 【0028】

これによれば、有機EL素子を用いた電気光学装置において、その画素回路のリセットを行う特別な回路を設けることなく、リセットを行うことができる。

#### 【0029】

本発明の電子機器は、上記記載の駆動方法を用いたことを特徴とする電子機器である。

これによれば、上記駆動方法を用いることによって、リセットを行う特別な回路を設けることなく、リセットを行うことができるので、データ書き込み時間の短縮を図ることができ、且つ、リセットを行う特別な回路を製造する必要がない分だけ表示ディスプレイの製造コストを削減することができる。

#### 【0030】

##### 【発明の実施の形態】

##### （第1実施形態）

以下、本発明を具体化した第1実施形態を図1～図4に従って説明する。

#### 【0031】

図1は、有機ELディスプレイ10の電氣的構成を示すブロック回路図である。図2は、表示パネル部とデータ線駆動回路及び走査線駆動回路との電氣的構成を示すブロック回路図である。

#### 【0032】

図1において、有機ELディスプレイ10は、表示パネル部11、データ線駆動回路12、走査線駆動回路13、メモリ回路14、発振回路15、電源回路16及び制御回路17を備えている。

#### 【0033】

有機ELディスプレイ10の各要素11～17は、それぞれが独立した電子部品によって構成されていてもよい。例えば、各要素12～17が1チップの半導体集積回路装置によって構成されていてもよい。また、各要素11～17の全部若しくは一部が一体となった電子部品として構成されていてもよい。例えば、表

示パネル部 11 に、データ線駆動回路 12 と走査線駆動回路 13 とが一体的に形成されていてもよい。各構成要素 11～17 の全部若しくは一部がプログラマブルな IC チップで構成され、その機能が IC チップに書き込まれたプログラムによりソフトウェア的に実現されてもよい。

#### 【0034】

表示パネル部 11 は、図 2 に示すように、マトリクス状に配列された複数個の画素回路 20 を備えている。前記複数個の画素回路 20 の各々は、その列方向に沿って延びる m 本のデータ線 X1～Xm (m は自然数) と、行方向に沿って延びる n 本の走査線 Y1～Yn (n は自然数) とにそれぞれ接続されている。また、各画素回路 20 は、その発光層が有機材料で形成された有機 EL 素子 21 (図 3 参照) を有している。

#### 【0035】

また、表示パネル部 11 は、前記走査線 Y1～Yn に平行に延設された電源線 VL を備えている。各電源線 VL は、その電源線 VL に沿って形成された前記各画素回路 20 内に形成された後記する駆動トランジスタ Qd (図 3 参照) に駆動電圧 Vdd を供給するための電源線である。

#### 【0036】

データ線駆動回路 12 は、図 1 及び図 2 に示すように、前記制御回路 17 に電氣的に接続されるとともに、各データ線 X1～Xm を介して前記画素回路 20 と電氣的に接続されている。

#### 【0037】

詳述すると、データ線駆動回路 12 は、図 2 に示すように、その内部に各データ線 X1～Xm に対応した数の単一ライン駆動回路 12a を備えている。各単一ライン駆動回路 12a は、前記制御回路 17 と電氣的に接続し、同制御回路 17 から供給されるデータ線駆動信号に基づいて各データ線 X1～Xm に接続された画素回路 20 毎のデータ電圧 Vdata を作成する。そして、各単一ライン駆動回路 12a は、その生成したデータ電圧 Vdata を対応するデータ線 X1～Xm を介して各画素回路 20 に供給する。また、単一ライン駆動回路 12a は、前記駆動電圧 Vdd を前記データ線 X1～Xm を介して画素回路 20 に供給する。



**【0038】**

そして、前記画素回路 20 は、前記データ電圧  $V_{data}$  に応じて同画素回路 20 の内部状態が設定されると、これに応じて有機 EL 素子 21 に流れる駆動電流  $I_{e1}$  の電流値を制御する。その結果、前記有機 EL 素子 21 の輝度階調がデータ電圧  $V_{data}$  に応じて制御される。

**【0039】**

尚、本実施形態においては、前記データ線  $X_1 \sim X_m$  は、図 2 に示すように、走査線駆動回路 13 が設けられている位置から順次第 1 のデータ線  $X_1$ 、第 2 のデータ線  $X_2$ 、 $\dots$  第  $m$  のデータ線  $X_m$  の順に配置されている。

**【0040】**

走査線駆動回路 13 は、図 1 に示すように、前記制御回路 17 と電氣的に接続されている。また、前記走査線駆動回路 13 は、前記走査線  $Y_1 \sim Y_n$  を介して各画素回路 20 と電氣的に接続している。そして、走査線駆動回路 13 は、前記制御回路 17 から供給される後記する走査制御信号  $SC_1 \sim SC_3$  に基づいて複数の走査線  $Y_1 \sim Y_n$  の中の 1 本を選択駆動して 1 行分の画素回路群を選択する。尚、本実施形態においては、前記走査線  $Y_1 \sim Y_n$  は、図 2 に示すように、前記データ線駆動回路 12 が設けられた位置とは反対側の位置から同データ線駆動回路 12 が設けられた位置に向かって第 1 の走査線  $Y_1$ 、第 2 の走査線  $Y_2$ 、 $\dots$  第  $n$  の走査線  $Y_n$  の順に配置されている。そして、走査線駆動回路 13 は、本実施形態においては、前記走査制御信号  $SC_1 \sim SC_3$  に応じて走査線  $Y_1 \sim Y_n$  を第 1 の走査線  $Y_1$ 、第 2 の走査線  $Y_2$ 、第 3 の走査線  $Y_3$ 、 $\dots$  の順に点順次選択駆動するように設定されている。

**【0041】**

また、前記走査線  $Y_1 \sim Y_n$  の各々は、第 1 の副走査線  $Y_{n1}$  と第 2 の副走査線  $Y_{n2}$  と第 3 の副走査線  $Y_{n3}$  とから構成されている。そして、前記走査線駆動回路 13 は、第 1 の副走査線  $Y_{n1}$  を介して同第 1 の副走査線  $Y_{n1}$  と接続された画素回路 20 に第 1 の走査信号  $SC_{n1}$  を供給する。また、走査線駆動回路 13 は、第 2 の副走査線  $Y_{n2}$  を介して同第 2 の副走査線  $Y_{n2}$  と接続された画素回路 20 に第 2 の走査信号  $SC_{n2}$  を供給する。さらに、走査線駆動回路 13

は、第3の副走査線  $Y_{n3}$  を介して同第3の副走査線  $Y_{n3}$  と接続された画素回路20に第3の走査信号  $SC_{n3}$  を供給する。

#### 【0042】

詳述すると、走査線駆動回路13は、 $n$ 番目の走査線  $Y_n$  に接続された各画素回路20にデータ電圧  $V_{data}$  を書き込む場合、その画素回路20と接続された第1の副走査線  $Y_{n1}$  にHレベル（ハイレベル）の第1の走査信号  $SC_{n1}$  を供給する。また、前記走査線駆動回路13は、書き込まれた前記データ電圧  $V_{data}$  を消去する場合（以下、これをリセットという）、第2の副走査線  $Y_{n2}$  にHレベル（ハイレベル）の第2の走査信号  $SC_{n2}$  を供給する。さらに、走査線駆動回路13は、書き込まれた前記データ電圧  $V_{data}$  に応じた電流量を有機EL素子21に供給する場合、第3の副走査線  $Y_{n3}$  にHレベル（ハイレベル）の第3の走査信号  $SC_{n3}$  を供給する。尚、本実施形態においては、前記第1の副走査線  $Y_{n1}$  に接続されるトランジスタ（スイッチングトランジスタ  $Q_{sw}$ ）はその導電型が後記するように  $n$  型であるが、これを  $p$  型した場合では、対応する各画素回路20にデータ電圧  $V_{data}$  を書き込む場合では、Lレベル（ローレベル）の第1の走査信号  $SC_{n1}$  を供給するようにする。また、本実施形態においては、前記第2の副走査線  $Y_{n2}$  に接続されるトランジスタ（リセットトランジスタ  $Q_{rst}$ ）はその導電型が後記するように  $n$  型であるが、これを  $p$  型した場合では、対応する各画素回路20をリセットする場合では、Lレベル（ローレベル）の第2の走査信号  $SC_{n2}$  を供給するようにする。同様に、本実施形態においては、前記第3の副走査線  $Y_{n3}$  に接続されるトランジスタ（開始トランジスタ  $Q_{st}$ ）はその導電型が後記するように  $n$  型であるが、これを  $p$  型した場合では、対応する各画素回路20に書き込まれた前記データ電圧  $V_{data}$  に応じた電流量を有機EL素子21に供給する場合では、Lレベル（ローレベル）の第3の走査信号  $SC_{n3}$  を供給するようにする。

#### 【0043】

メモリ回路14は、コンピュータ18から供給される表示パネル部11の表示状態を表す表示データや各種制御プログラムを記憶する。発振回路15は、基準動作信号を有機ELディスプレイ10の他の構成要素に供給する。電源回路16

は有機ELディスプレイ10の各構成要素の駆動電源を供給する。

#### 【0044】

制御回路17は、前記各要素11～16を統括制御する。そして、制御回路17は、前記メモリ回路14に記憶された前記表示データ（画像データ）を、各有機EL素子21の発光の階調を表すマトリクスデータに変換する。前記マトリクスデータは、1行分の画素回路群を順次選択するための前記第1、第2及び第3の走査信号SCn1、SCn2、SCn3を決定する走査制御信号と、その選択された画素回路20群の各画素回路20に供給する前記データ電圧Vdataのレベルを決定するデータ線制御信号とを含む。そして、前記制御回路17は、前記走査制御信号を走査線駆動回路13に供給するとともに、前記データ線制御信号をデータ線駆動回路12に供給する。さらに、制御回路17は、前記発振回路15から供給される前記基準動作信号に応じて走査線Y1～Ynとデータ線X1～Xmの駆動タイミング制御を行う。

#### 【0045】

次に、前記画素回路20の内部回路構成について図3に従って説明する。前記画素回路20の各々は、その回路構成が全て等しいので、説明の便宜上、第1のデータ線X1と第1の走査線Y1との交差部に対応して配置された画素回路20について説明する。

#### 【0046】

画素回路20は、駆動トランジスタQd、開始トランジスタQst、スイッチングトランジスタQsw及びリセットトランジスタQrstを備えている。また、画素回路20は、カップリングコンデンサCpと保持キャパシタCoとを備えている。カップリングコンデンサCpの静電容量はC1であって、保持キャパシタCoの静電容量はC2である。

#### 【0047】

開始トランジスタQst、スイッチングトランジスタQsw及びリセットトランジスタQrstの導電型は、それぞれ、n型（nチャネル）である。また、駆動トランジスタQdの導電型はp型（pチャネル）である。尚、本実施形態においては、開始トランジスタQst、スイッチングトランジスタQsw及びリセッ

トランジスタ  $Q_{rst}$  の導電型を、それぞれ、 $n$  型 ( $n$  チャンネル) とし、駆動トランジスタ  $Q_d$  の導電型を  $p$  型 ( $p$  チャンネル) としたが、これに限定されるものではなく、適宜、その導電型を  $n$  型もしくは  $p$  型に変更してもよい。

#### 【0048】

駆動トランジスタ  $Q_d$  は、その閾値電圧が  $V_{th}$  であるトランジスタである。駆動トランジスタ  $Q_d$  は、そのドレインが開始トランジスタ  $Q_{st}$  のドレインに接続されている。開始トランジスタ  $Q_{st}$  のソースは有機 EL 素子 21 の陽極に接続され、有機 EL 素子 21 の陰極は接地されている。開始トランジスタ  $Q_{st}$  のゲートは、前記第 1 の走査線  $Y_1$  を構成する第 3 の副走査線  $Y_{13}$  に接続されている。

#### 【0049】

駆動トランジスタ  $Q_d$  のゲートは、カップリングコンデンサ  $C_p$  の第 1 の電極  $L_a$  に接続されている。カップリングコンデンサ  $C_p$  の第 2 の電極  $L_b$  はスイッチングトランジスタ  $Q_{sw}$  のドレインに接続されている。スイッチングトランジスタ  $Q_{sw}$  のソースは前記第 1 のデータ線  $X_1$  に接続されている。前記スイッチングトランジスタ  $Q_{sw}$  のゲートは、前記第 1 の走査線  $Y_1$  を構成する第 1 の副走査線  $Y_{11}$  に接続されている。また、駆動トランジスタ  $Q_d$  のゲートは、保持キャパシタ  $C_o$  の第 3 の電極  $L_c$  と接続されている。保持キャパシタ  $C_o$  の第 4 の電極  $L_d$  の電位は駆動電圧  $V_{dd}$  に設定されている。

#### 【0050】

前記駆動トランジスタ  $Q_d$  のソースは駆動電圧  $V_{dd}$  を供給する前記電源線  $V_L$  に接続されている。

前記駆動トランジスタ  $Q_d$  のゲート／ドレイン間には、リセットトランジスタ  $Q_{rst}$  が接続されている。リセットトランジスタ  $Q_{rst}$  は、そのゲートが前記第 1 の走査線  $Y_1$  を構成する第 2 の副走査線  $Y_{12}$  に接続されている。前記リセットトランジスタ  $Q_{rst}$  はオン状態になることで、駆動トランジスタ  $Q_d$  のドレインと駆動トランジスタ  $Q_d$  のゲートとが電氣的に接続され、前記駆動トランジスタ  $Q_d$  のゲートの電位  $V_n$  を  $V_{dd} - V_{th}$  にする。

#### 【0051】

尚、前記第1、第2及び第3の副走査線Y11, Y12, Y13で第1の走査線Y1を構成している。

そして、このように構成された画素回路20は、前記開始トランジスタQstがオフ状態になるとともに前記リセットトランジスタQrstがオン状態になると、前記駆動トランジスタQdのゲートの電位VnがVdd-Vthまで押し上げられ、リセット状態になる。このことによって、前記駆動トランジスタQdは、その閾値電圧Vthが補償された状態になる。そして、前記電位Vdd-Vthが第1の電位として前記保持キャパシタCoに保持される。

#### 【0052】

また、前記画素回路20は、その前記スイッチングトランジスタQswがオン状態になることで、前記データ線駆動回路12から供給される前記駆動電圧Vddを保持キャパシタCo及びカップリングコンデンサCpに保持する。さらに、前記画素回路20は、前記データ電圧Vdataが供給された後、前記スイッチングトランジスタQswがオフ状態になることで、前記カップリングコンデンサCpと前記保持キャパシタCoとが容量カップリングする。その結果、前記保持キャパシタCoには、前記容量カップリングに応じた電位が第2の電位として保持される。そして、この状態で、前記開始トランジスタQstがオン状態になることによって、有機EL素子21に前記保持キャパシタCoに保持された前記第2の電位に応じた駆動電流Ielを供給する。この結果、前記有機EL素子21を前記データ電圧Vdataに応じて発光させることができる。

#### 【0053】

尚、本実施形態においては、スイッチングトランジスタQsw、開始トランジスタQst、駆動トランジスタQd及びリセットトランジスタQrstのそれぞれの導電型をn型、駆動トランジスタQdの導電型をp型としたが、これに限定されるものではなく、適宜変更してもよい。

#### 【0054】

また、上記の電気光学素子及び制御用端子は、例えば、この実施形態においては、それぞれ有機EL素子及び駆動トランジスタQdのゲートに対応している。更に、上記の容量素子は、例えば、この実施形態においては、保持キャパシタC

1に対応している。また、上記の選択信号は、例えば、この実施形態においては、第1、第2及び第3の走査信号SCn1, SCn2, SCn3にそれぞれ対応している。

#### 【0055】

次に、上記のように構成された有機ELディスプレイ10の作用を前記制御回路17に基づく走査線駆動回路13の走査線Y1～Ynの選択動作に従って説明する。尚、説明を簡単にするために、7本の走査線Y1～Y7からなる有機ELディスプレイ10を例にして説明する。

#### 【0056】

図4は、7本の走査線Y1～Y7からなる有機ELディスプレイ10の駆動方法を説明するためのタイミングチャートである。尚、前記走査線駆動回路13は主期間（1フレーム期間）において、前記したように、第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5→第6の走査線Y6→第7の走査線Y7→第1の走査線Y1の順に選択制御するように予め設定されている。

#### 【0057】

まず、前記走査線駆動回路13は、第1～第7の走査線Y1～Y7の各第2の副走査線Y12～Y72を、第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5→第6の走査線Y6→第7の走査線Y7の順に選択駆動する。つまり、前記走査線駆動回路13は、第1の走査線Y1の第2の副走査線Y12→第2の走査線Y2の第2の副走査線Y22→・・・→第7の走査線Y7の第2の副走査線Y72の順に各リセットトランジスタQrstをオン状態にする第2の走査信号SC2を供給する。このことによって、第1の走査線Y1と接続された画素回路20群の各画素回路20から、順次、リセットされる（第1のステップ）。

#### 【0058】

その後、前記走査線駆動回路13は、第1の走査線Y1の第2の副走査線Y12→第2の走査線Y2の第2の副走査線Y22→・・・→第7の走査線Y7の第2の副走査線Y72の順に各リセットトランジスタQrstをオフ状態にする第

2の走査信号SC2を供給する。このことによって、第1の走査線Y1と接続された画素回路20群の各画素回路20から、順次、リセットが終了する。

#### 【0059】

また、前記走査線駆動回路13は第4の走査線Y4の第2の副走査線Y42にリセットトランジスタQrstをオン状態にする第2の走査信号SC2を供給すると同時に、第1の走査線Y1の第1の副走査線Y11にスイッチングトランジスタQswをオン状態にする第1の走査信号SC1を供給する（第2のステップ）。

#### 【0060】

以降、前記走査線駆動回路13は、第5の走査線Y5の第2の副走査線Y52、第6の走査線Y6の第2の副走査線Y62、・・・にリセットトランジスタQrstをオン状態にする第2の走査信号SC2を順次供給すると同時に、第2の走査線Y2の第1の副走査線Y21、第3の走査線Y3の第2の副走査線Y32・・・、にスイッチングトランジスタQswをオン状態にする第1の走査信号SC11～SC73を供給する。このことにより、各画素回路20には、リセット終了後、順次、データ電圧Vdataが書き込まれる。

#### 【0061】

そして、前記走査線駆動回路13は、書き込みが終了した画素回路20から順次、第3の副走査線Y13～Y73を介して、各画素回路20の開始トランジスタQstをオン状態にする第3の走査信号SC13～SC73を供給する。その結果、データ電圧Vdataが供給された画素回路20から、順次、各画素回路20内に配置された有機EL素子21が前記データ電圧Vdataに応じて発光する。このようにして1フレーム分の画像が表示される。

#### 【0062】

その後、前記走査線駆動回路13は、所定の期間で発光した有機EL素子21を有した画素回路20から走査線毎に順に各開始トランジスタQstをオフ状態にする第3の走査信号SCn3を供給するとともに、各リセットトランジスタQrstをオン状態にする第2の走査信号SC12～SC72を順次供給する（第3のステップ）。

## 【0063】

その結果、第1の走査線Y1に接続された画素回路20群の各有機EL素子21、第2の走査線Y2に接続された画素回路20群の各有機EL素子21、・・・の順に、その発光を停止させることができるとともに、各画素回路20の駆動トランジスタQdの閾値電圧Vthを補償しつつリセットすることができる。

## 【0064】

従って、本発明の有機ELディスプレイ10は、リセットトランジスタQrstをオン状態にする第2の走査信号SC12～SC72を供給するタイミングを制御することで、前記有機EL素子21発光期間を制御することができる。また、各画素回路20の駆動トランジスタQdのドレインとゲートとの間にリセットトランジスタQrstを接続し、リセット時に同リセットトランジスタQrstをオン状態にすることで、前記駆動電流Ielを駆動トランジスタQdのゲートに供給されて前記駆動トランジスタQdのゲートの電位Vnを押し上げてリセットをするようにした。従って、特別な回路を設けることなく画素回路20のリセットを行うことができる。その結果、製造コストを表示品質の良い有機ELディスプレイ10を提供することができる。

## 【0065】

前記実施形態の有機ELディスプレイ10及び画素回路20によれば、以下のような特徴を得ることができる。

(1) 前記実施形態では、駆動トランジスタQd、開始トランジスタQst、スイッチングトランジスタQsw、リセットトランジスタQrst、カップリングコンデンサCp及び保持キャパシタCoで画素回路20を構成した。そして、前記リセットトランジスタQrstは、走査線駆動回路から供給される第2の走査信号SCn2に応じてオン状態になることで、前記駆動トランジスタQdのドレインとゲートとの間を電氣的に接続するようにした。

## 【0066】

また、前記走査線駆動回路13は、第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5→第6の走査線Y6→第7の走査線Y7→第1の走査線Y1の順に選択制御することで、第1の走査線Y



1に接続された画素回路20の有機EL素子21を順次発光させた後、前記リセットトランジスタQrstをオン状態するようにした。

#### 【0067】

このようにすることで、駆動トランジスタQdの閾値電圧Vthを補償しつつ各画素回路20のリセットを第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5→第6の走査線Y6→第7の走査線Y7→第1の走査線Y1の順に行うことができる。従って、本発明の有機ELディスプレイ10は、特別な回路を設けることなく画素回路20のリセットを順次行うことができる。

#### (第2実施形態)

次に、本発明を具体化した第2実施形態を図5及び図6に従って説明する。尚、本実施形態において、前記第1実施形態と同じ構成部材については符号を等しくし、その詳細な説明を省略する。

#### 【0068】

図5は、有機ELディスプレイ10の表示パネル部11に配設される画素回路50の回路図である。図6は、画素回路50の動作を示すタイミングチャートである。

#### 【0069】

本実施形態における電源線VLは、データ線X1～Xmに平行して形成されている。また、本実施形態における走査線Y1～Ynの各々は、第1の副走査線Yn1と第2の副走査線Yn2とから構成されている。

#### 【0070】

画素回路50は、図5に示すように、駆動トランジスタQd、調整用トランジスタQct、スイッチングトランジスタQsw及びリセットトランジスタQrstを備えている。また、画素回路50は、保持キャパシタCoとカップリングコンデンサCpとを備えている。

#### 【0071】

駆動トランジスタQd及び調整用トランジスタQctの導電型は、それぞれ、p型（pチャネル）である。また、スイッチングトランジスタQsw及びリセッ

トランジスタ  $Q_{rst}$  の導電型は、それぞれ、 $n$  型 ( $n$  チャンネル) である。

#### 【0072】

この第2の実施形態における駆動トランジスタ  $Q_d$  は、そのドレインが有機EL素子21の陽極に接続されている。有機EL素子21の陰極は接地されている。駆動トランジスタ  $Q_d$  のソースは前記電源線  $V_L$  に接続されている。駆動トランジスタ  $Q_d$  のゲートは、カップリングコンデンサ  $C_p$  と保持キャパシタ  $C_o$  と調整用トランジスタ  $Q_{ct}$  とにそれぞれ電氣的に接続されている。

#### 【0073】

詳しくは、前記駆動トランジスタ  $Q_d$  のゲートは、カップリングコンデンサ  $C_p$  の第1の電極  $L_a$  に接続されている。カップリングコンデンサ  $C_p$  の第2の電極  $L_b$  は、スイッチングトランジスタ  $Q_{sw}$  のドレインに接続されている。前記スイッチングトランジスタ  $Q_{sw}$  のゲートは、前記第1の走査線  $Y_1$  を構成する第1の副走査線  $Y_{11}$  に接続されている。

#### 【0074】

また、前記駆動トランジスタ  $Q_d$  のゲートは、保持キャパシタ  $C_o$  の第3の電極  $L_c$  に接続されている。保持キャパシタ  $C_o$  の第4の電極  $L_d$  は前記電源線  $V_L$  に接続されている。さらに、前記駆動トランジスタ  $Q_d$  のゲートは、調整用トランジスタ  $Q_{ct}$  のドレインに接続されている。調整用トランジスタ  $Q_{ct}$  のドレインは、同調整用トランジスタ  $Q_{ct}$  のゲートとノード  $N$  にて接続されている。また、調整用トランジスタ  $Q_{ct}$  のソースはリセットトランジスタ  $Q_{rst}$  のソースに接続されている。リセットトランジスタ  $Q_{rst}$  のドレインは前記電源線  $V_L$  に接続されている。また、リセットトランジスタ  $Q_{rst}$  のゲートは、第1の走査線  $Y_1$  を構成する第2の副走査線  $Y_{12}$  に接続されている。

#### 【0075】

前記調整用トランジスタ  $Q_{ct}$  は、その閾値電圧  $V_{thct}$  が前記駆動トランジスタ  $Q_d$  の閾値電圧  $V_{th}$  と等しくなるように設定されている。そして、本実施形態におけるリセットトランジスタ  $Q_{rst}$  は、前記スイッチングトランジスタ  $Q_{sw}$  がオフ状態のとき、オン状態になることによって、前記ノード  $N$  での電位  $V_n$  を  $V_{dd} - V_{thct}$  にし、その電位  $V_n$  を初期電位  $V_{c1}$  として保持キ

ャパシタ  $C_o$  に保持させる。ここで、前記したように、前記調整用トランジスタ  $Q_{ct}$  の閾値電圧  $V_{th_{ct}}$  は、駆動トランジスタ  $Q_d$  の閾値電圧  $V_{th}$  と等しくなるように予め設定されている。従って、前記画素回路 20 は、前記リセットトランジスタ  $Q_{rst}$  がオン状態になることで前記駆動トランジスタ  $Q_d$  の閾値電圧  $V_{th}$  を補償しつつリセットさせることができる。

#### 【0076】

尚、前記調整用トランジスタ  $Q_{ct}$  の閾値電圧  $V_{th_{ct}}$  は、その駆動条件に応じて適宜設定してもよい。尚、前記駆動電圧  $V_{dd}$  はデータ電圧  $V_{data}$  と比べて十分高くなるように予め設定されている。

#### 【0077】

尚、上記の第1のトランジスタ、第1の端子、第2の端子及び第1の制御用端子は、例えば、この第2実施形態においては、駆動トランジスタ  $Q_d$ 、駆動トランジスタ  $Q_d$  のドレイン、駆動トランジスタ  $Q_d$  のソース及び駆動トランジスタ  $Q_d$  のゲートにそれぞれ対応している。また、上記の第2のトランジスタ、第3の端子、第4の端子及び第2の制御用端子は、例えば、この第2実施形態においては、調整用トランジスタ  $Q_{ct}$ 、調整用トランジスタ  $Q_{ct}$  のドレイン、調整用トランジスタ  $Q_{ct}$  のソース及び調整用トランジスタ  $Q_{ct}$  のゲートにそれぞれ対応している。

#### 【0078】

次に、前記画素回路 50 を備えた有機 EL ディスプレイ 10 の作用を前記制御回路 17 に基づく走査線駆動回路 13 の走査線  $Y_1 \sim Y_n$  の選択動作に従って説明する。尚、説明を簡単にするために、5本の走査線  $Y_1 \sim Y_5$  からなる有機 EL ディスプレイ 10 を例にして説明する。

#### 【0079】

図6は、5本の走査線  $Y_1 \sim Y_5$  からなる有機 EL ディスプレイ 10 の駆動方法を説明するためのタイミングチャートである。尚、前記走査線駆動回路 13 は1フレーム期間において、第1の走査線  $Y_1 \rightarrow$  第2の走査線  $Y_2 \rightarrow$  第3の走査線  $Y_3 \rightarrow$  第4の走査線  $Y_4 \rightarrow$  第5の走査線  $Y_5 \rightarrow$  第1の走査線  $Y_1$  の順に選択制御するように予め設定されている。

## 【0080】

まず、前記走査線駆動回路13は、第1～第5の走査線Y1～Y5の各第2の副走査線Y12～Y52について、第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5の順に選択駆動する。そして、前記走査線駆動回路13は、第1の走査線Y1の第2の副走査線Y12→第2の走査線Y2の第2の副走査線Y22→・・・→第5の走査線Y5の第2の副走査線Y52の順に各リセットトランジスタQrstをオン状態にする第2の走査信号SC2を供給する（第1のステップ）。

## 【0081】

その結果、第1の走査線Y1に接続された画素回路50から、順次、各画素回路50のノードNでの電位Vnが $V_n = V_{dd} - V_{thct}$ となる。そして、前記電位Vnが初期電位Vc1として保持キャパシタCoに保持されるとともに、前記初期電位Vc1が前記駆動トランジスタQdのゲートに供給される。前記調整用トランジスタQctの閾値電圧Vthctは、前記したように、駆動トランジスタQdの閾値電圧Vthと等しいので、前記駆動トランジスタQdはその閾値電圧Vthが補償された状態になる。このことによって、第1の走査線Y1と接続された画素回路50群の各画素回路50から、順次、リセットされる。

## 【0082】

その後、前記走査線駆動回路13は、第1の走査線Y1の第2の副走査線Y12→第2の走査線Y2の第2の副走査線Y22→・・・→第5の走査線Y5の第2の副走査線Y52の順に各リセットトランジスタQrstをオフ状態にする第2の走査信号SC2を供給する。

## 【0083】

そして、前記走査線駆動回路13は第4の走査線Y4の第2の副走査線Y42にリセットトランジスタQrstをオン状態にする第2の走査信号SC2を供給すると同時に、第1の走査線Y1の第1の副走査線Y11にスイッチングトランジスタQswをオン状態にする第1の走査信号SC1を供給して、データ電圧Vdataを対応する画素回路20に供給する（第2のステップ）。

## 【0084】

以降、前記走査線駆動回路 13 は、第 5 の走査線 Y 5 の第 2 の副走査線 Y 5 2、第 1 の走査線 Y 1 の第 2 の副走査線 Y 1 2、・・・にリセットトランジスタ Q<sub>rst</sub> をオン状態にする第 2 の走査信号 S C 2 を順次供給するとともに、第 2 の走査線 Y 2 の第 1 の副走査線 Y 2 1、第 3 の走査線 Y 3 の第 2 の副走査線 Y 3 2、・・・、にスイッチングトランジスタ Q<sub>sw</sub> をオン状態にする第 1 の走査信号 S C 1 を供給する。

#### 【0085】

このことにより、各画素回路 50 はリセットが終了した後、順次、データ電圧 V<sub>data</sub> が書き込まれる。

そして、前記走査線駆動回路 13 は、リセットが終了した画素回路 50 から順次、対応する第 2 の副走査線 Y 1 2 ~ Y 5 2 を介して各画素回路 50 の各スイッチングトランジスタ Q<sub>sw</sub> をオフ状態にする第 2 の走査信号 S C 2 を供給する（第 3 のステップ）。

#### 【0086】

その結果、第 1 の走査線 Y 1 → 第 2 の走査線 Y 2 → 第 3 の走査線 Y 3 → 第 4 の走査線 Y 4 → 第 5 の走査線 Y 5 → 第 6 の走査線 Y 6 → 第 7 の走査線 Y 7 の順に各画素回路 50 内に配置された有機 E L 素子 21 が前記データ電圧 V<sub>data</sub> に応じて発光する。このようにして、1 フレーム分の画像が表示される。

#### 【0087】

その後、前記走査線駆動回路 13 は、第 1 の走査線 Y 1 → 第 2 の走査線 Y 2 → 第 3 の走査線 Y 3 → 第 4 の走査線 Y 4 → 第 5 の走査線 Y 5 の順に再度各リセットトランジスタ Q<sub>rst</sub> をオン状態にする第 3 の走査信号 S C<sub>n</sub> 3 を順次供給する。その結果、第 1 の走査線 Y 1 に接続された画素回路 50 の各有機 E L 素子 21、第 2 の走査線 Y 2 に接続された画素回路 50 群の各有機 E L 素子 21、・・・の順に、その発光を停止させることができるとともに、各画素回路 50 の駆動トランジスタ Q<sub>d</sub> の閾値電圧 V<sub>th</sub> を補償しつつリセットすることができる。

#### 【0088】

従って、画素回路 50 を備えた有機 E L ディスプレイ 10 は、対応する走査線 Y<sub>n</sub> を構成する第 2 の副走査線 Y<sub>n</sub> 2 を介してリセットトランジスタ Q<sub>rst</sub> を

オン状態にする第2の走査信号SC<sub>n2</sub>を順次供給することによって、各画素回路50を順次リセットすることができる。その結果、特別な回路を設けることなく画素回路50のリセットを行うことができる。

(第3実施形態)

次に、第1及び第2実施形態で説明した電気光学装置としての有機ELディスプレイ10の電子機器の適用について図7に従って説明する。有機ELディスプレイ10は、モバイル型のパーソナルコンピュータ、携帯電話、デジタルカメラ等種々の電子機器に適用できる。

【0089】

図7は、モバイル型パーソナルコンピュータの構成を示す斜視図を示す。図7において、パーソナルコンピュータ70は、キーボード71を備えた本体部72と、前記有機ELディスプレイ10を用いた表示ユニット73とを備えている。この場合においても、有機ELディスプレイ10を用いた表示ユニット73は前記第1及び第2の実施形態と同様な効果を発揮する。この結果、モバイル型パーソナルコンピュータ70の書き込み時間を短縮化することができる。

【0090】

尚、発明の実施形態は、上記実施形態に限定されるものではなく、以下のように実施してもよい。

○上記第1実施形態では、走査線駆動回路13は、第1の走査線Y<sub>1</sub>→第2の走査線Y<sub>2</sub>→第3の走査線Y<sub>3</sub>→第4の走査線Y<sub>4</sub>→第5の走査線Y<sub>5</sub>→第6の走査線Y<sub>6</sub>→第7の走査線Y<sub>7</sub>の順にリセットトランジスタQ<sub>rst</sub>をオン状態にする第2の走査信号SC<sub>n2</sub>を供給するようにした。そして、各画素回路20がリセットされた後、順次、データ電圧V<sub>data</sub>を供給するようにした。これを、図8に示すように、走査線駆動回路13は第1の走査線Y<sub>1</sub>→第3の走査線Y<sub>3</sub>→第2の走査線Y<sub>2</sub>→第4の走査線Y<sub>4</sub>→第6の走査線Y<sub>6</sub>→第5の走査線Y<sub>5</sub>→第7の走査線Y<sub>7</sub>の順にリセットトランジスタQ<sub>rst</sub>をオン状態にする第2の走査信号SC<sub>n2</sub>を供給するようにしてもよい。つまり、選択された走査線と次に選択される走査線とが隣接しないようにすることで有機ELディスプレイ10を飛び越し走査方式で制御するようにしてもよい。このようにすることに

よって、上記第1の実施形態と同様の効果を得ることができる。

#### 【0091】

○上記第1実施形態では、走査線Y1～Y7を備えた有機ELディスプレイ10において、走査線駆動回路13は、主期間（1フレーム期間）に、第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5→第6の走査線Y6→第7の走査線Y7の順に垂直走査して、リセットした後、データ電圧Vdataを各画素回路20に書き込むようにした。これを、走査線駆動回路13は、主期間（1フレーム期間）に2つの副期間を設け、その各副期間において垂直走査を行い、その第1の副期間では、第1の走査線Y1→第3の走査線Y3→第5の走査線Y5→第7の走査線Y7といったように奇数行の走査線を選択して、リセット及びデータ電圧Vdataの書き込みを行う。そして、第2の副期間では、第2の走査線Y2→第4の走査線Y4→第6の走査線Y6といったように偶数行の走査線を選択して、リセット及びデータ電圧Vdataの書き込みを行うようにしてもよい。つまり、有機ELディスプレイ10をインターレース走査方式で制御するようにしてもよい。このようにすることによって、上記第1の実施形態の効果に加えて、リセット及び書き込み制御を走査線毎で分散させることができるので、走査線駆動回路13の負担を低減させることができる。

#### 【0092】

○上記第2実施形態では、走査線Y1～Y5を備えた有機ELディスプレイ10において、走査線駆動回路13は、第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5→第1の走査線Y1の順にリセットトランジスタQrstをオン状態にする第2の走査信号SCn2を供給するようにした。これを、図9に示すように、走査線駆動回路13が第1の走査線Y1→第3の走査線Y3→第2の走査線Y2→第4の走査線Y4→第1の走査線Y1→第5の走査線Y5の順にリセットトランジスタQrstをオン状態にする第2の走査信号SCn2を供給するようにしてもよい。つまり、選択された走査線と次に選択される走査線とが隣接しないようにすることで有機ELディスプレイ10を飛び越し走査方式で制御するようにしてもよい。このようにするこ

とによって、上記第2の実施形態と同様の効果を得ることができる。

#### 【0093】

○上記第1実施形態では、走査線Y1～Y5を備えた有機ELディスプレイ10において、走査線駆動回路13は、主期間（1フレーム期間）に、第1の走査線Y1→第2の走査線Y2→第3の走査線Y3→第4の走査線Y4→第5の走査線Y5の順に垂直走査して、リセットした後、データ電圧Vdataを各画素回路50に書き込むようにした。これを、走査線駆動回路13は、主期間（1フレーム期間）に2つの副期間を設け、その各副期間において垂直走査を行い、その第1の副期間では、第1の走査線Y1→第3の走査線Y3→第5の走査線Y5といったように奇数行の走査線を選択して、リセット及びデータ電圧Vdataの書き込みを行う。そして、第2の副期間では、第2の走査線Y2→第4の走査線Y4といったように偶数行の走査線を選択して、リセット及びデータ電圧Vdataの書き込みを行うようにしてもよい。つまり、有機ELディスプレイ10をインターレース走査方式で制御するようにしてもよい。このようにすることによって、上記第2実施形態の効果に加えて、リセット及び書き込み制御を走査線毎で分散させることができるので、走査線駆動回路13の負担を低減させることができる。

#### 【0094】

○上記第1実施形態では、前記保持キャパシタCoの第4の電極Ldは、駆動トランジスタQdのソースに接続するように構成したが、電源線VLに直接接続するようにしてもよい。このようにすることによって、上記第1及び第2実施形態と同様の効果を得ることができる。

#### 【0095】

○上記第1及び第2実施形態では、画素回路20、50に具体化して好適な効果を得たが、有機EL素子21以外の例えばLEDやFED等の発光素子のような電流駆動素子を駆動する画素回路に具体化してもよい。RAM等の記憶装置に具体化してもよい。

#### 【0096】

○上記第1及び第2実施形態では、画素回路20、50の電流駆動素子として



有機EL素子21について具体化したが、無機EL素子に具体化してもよい。つまり、無機EL素子からなる無機ELディスプレイに適用しても良い。

#### 【0097】

○上記第1及び第2実施形態では、1色からなる有機EL素子21の画素回路20を設けた有機ELディスプレイ10であったが、赤色、緑色及び青色の3色の有機EL素子21に対して各色用の画素回路20、50を設けたELディスプレイに適用しても良い。

#### 【図面の簡単な説明】

【図1】 第1実施形態の有機ELディスプレイの回路構成を示すブロック回路図である。

【図2】 表示パネル部及びデータ線駆動回路の内部回路構成を示すブロック回路図である。

【図3】 第1実施形態の画素回路の回路図である。

【図4】 第1実施形態の画素回路の動作を説明するためのタイミングチャートである。

【図5】 第2実施形態の画素回路の回路図である。

【図6】 第2実施形態の画素回路の動作を説明するためのタイミングチャートである。

【図7】 第3実施形態を説明するためのモバイル型パーソナルコンピュータの構成を示す斜視図である。

【図8】 別例を説明するための画素回路のタイミングチャートである。

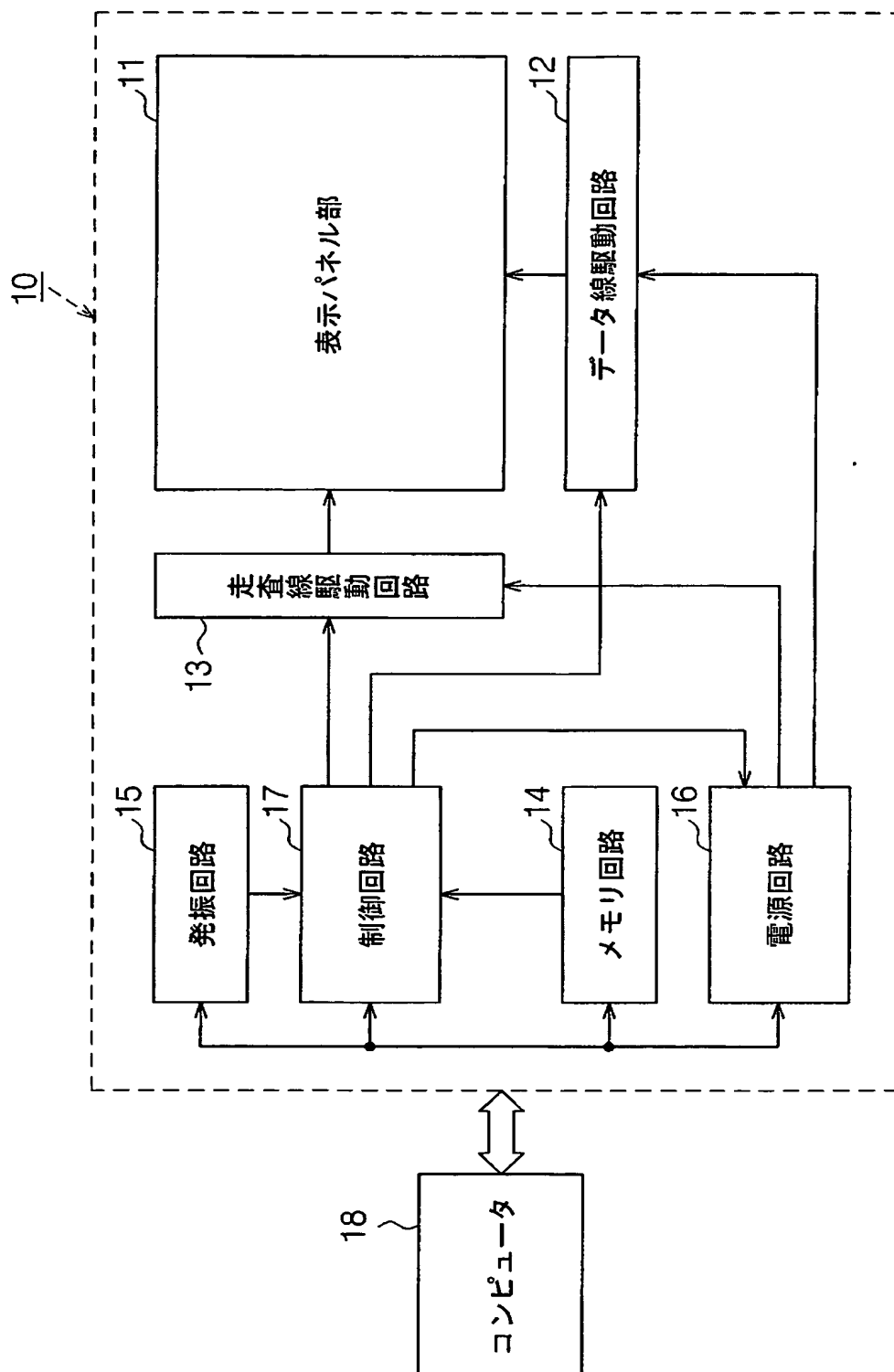
【図9】 別例を説明するための画素回路のタイミングチャートである。

#### 【符号の説明】

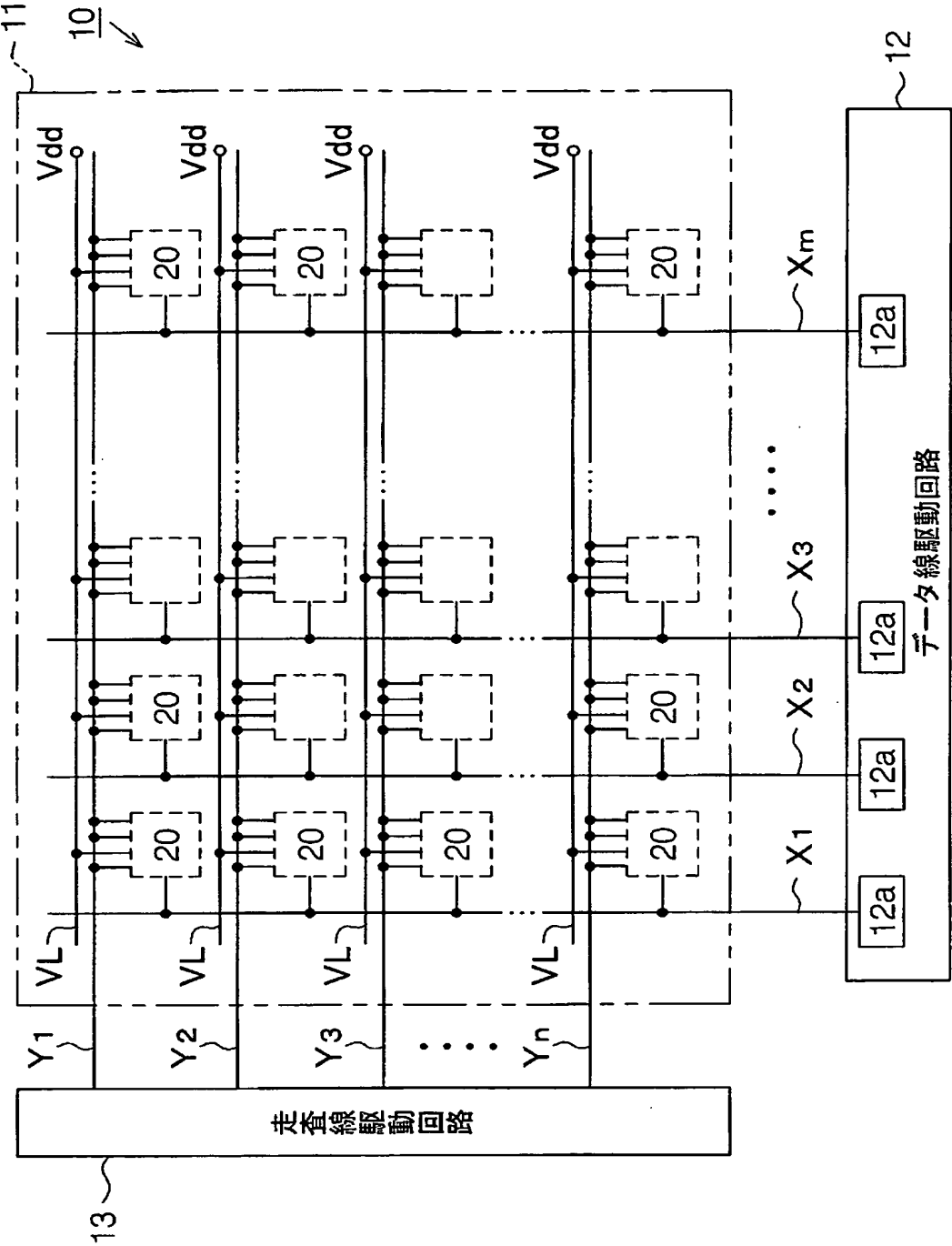
C<sub>o</sub>、C<sub>1</sub>…容量素子としての保持キャパシタ、Q<sub>c t</sub>…第2のトランジスタとしての調整用トランジスタ、Q<sub>d</sub>…第1のトランジスタとしての駆動トランジスタ、Q<sub>s w</sub>…スイッチングトランジスタ、S<sub>C n 1</sub>、S<sub>C n 2</sub>、S<sub>C n 3</sub>…選択信号としての第1、第2及び第3の走査信号、Y<sub>n</sub>…走査線、X<sub>m</sub>…データ線、20、50…画素回路、21…電気光学素子としての有機EL素子。

【書類名】 図面

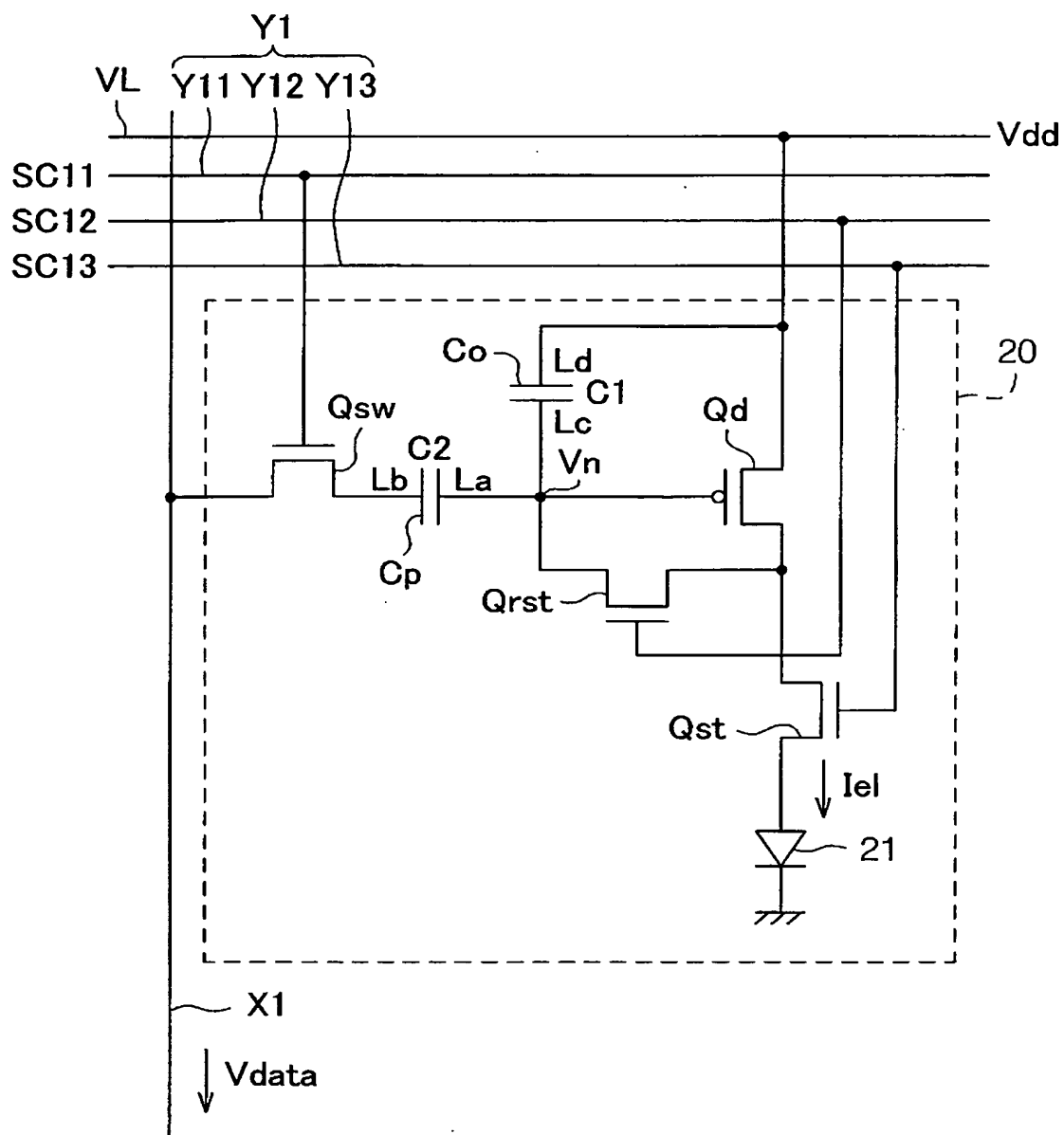
【図 1】



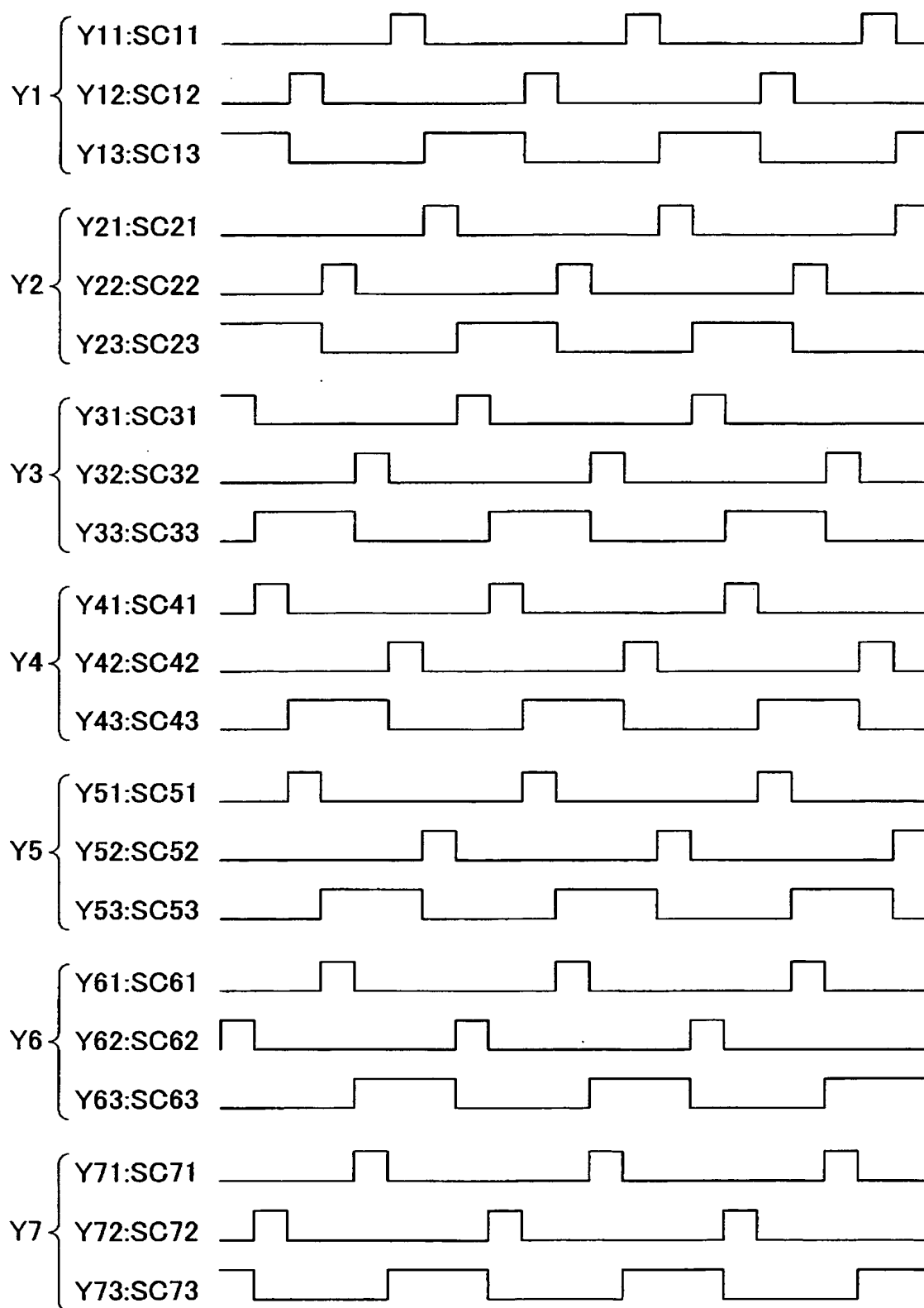
【図 2】



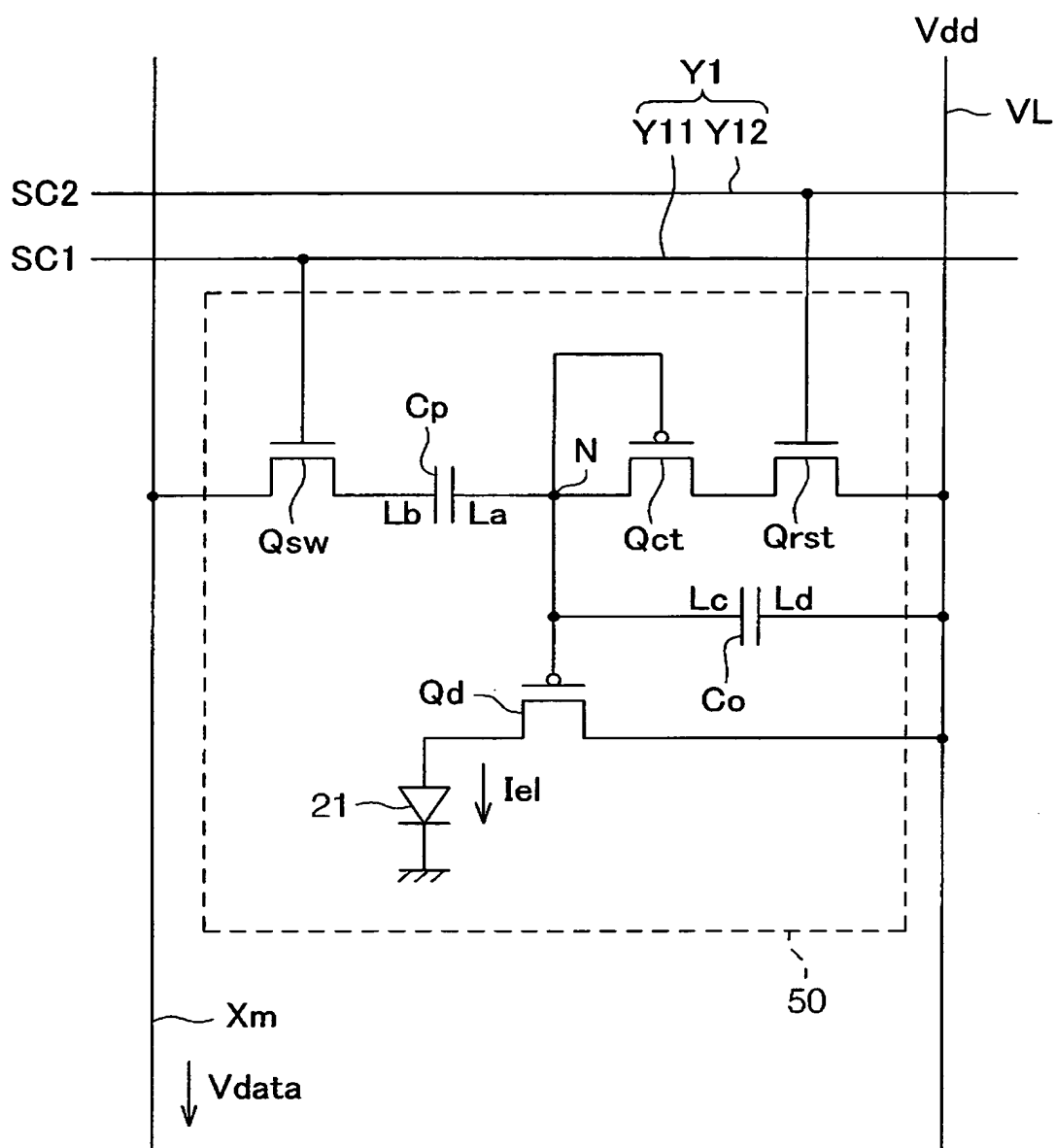
【図 3】



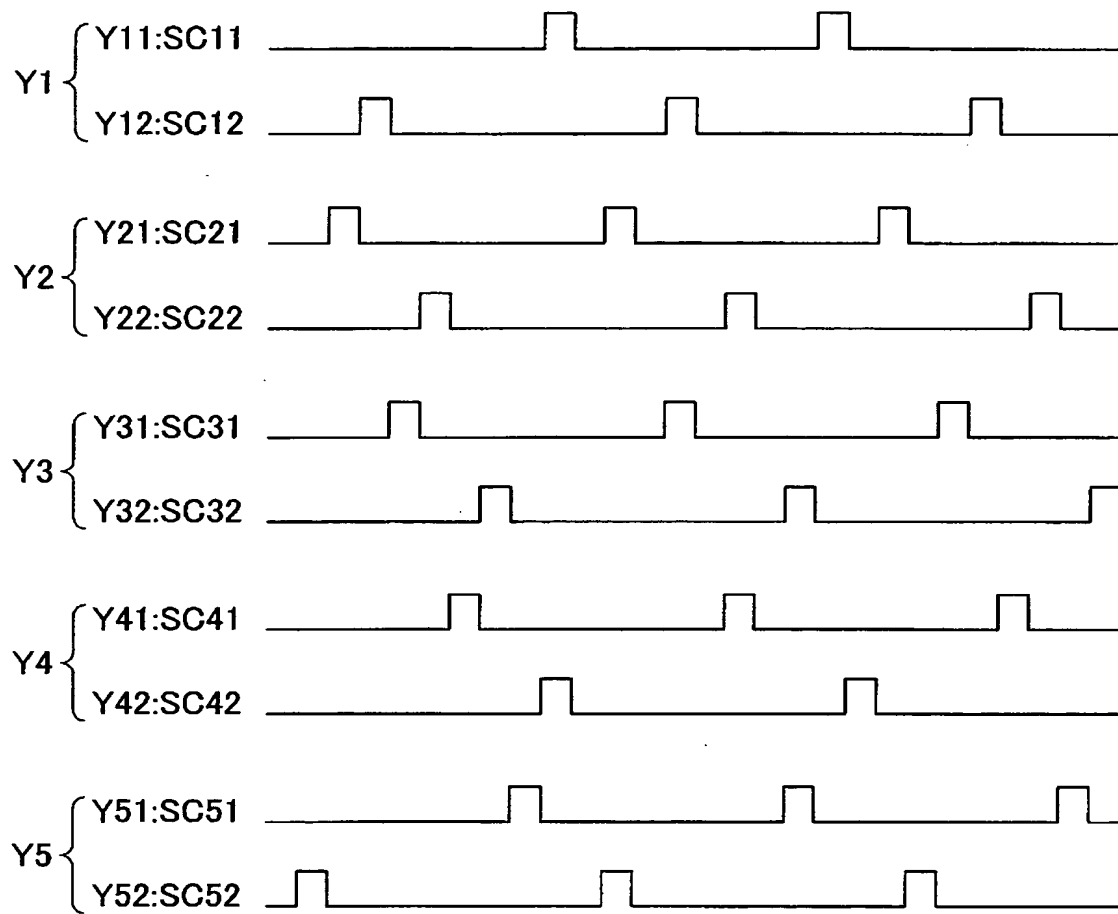
【図 4】



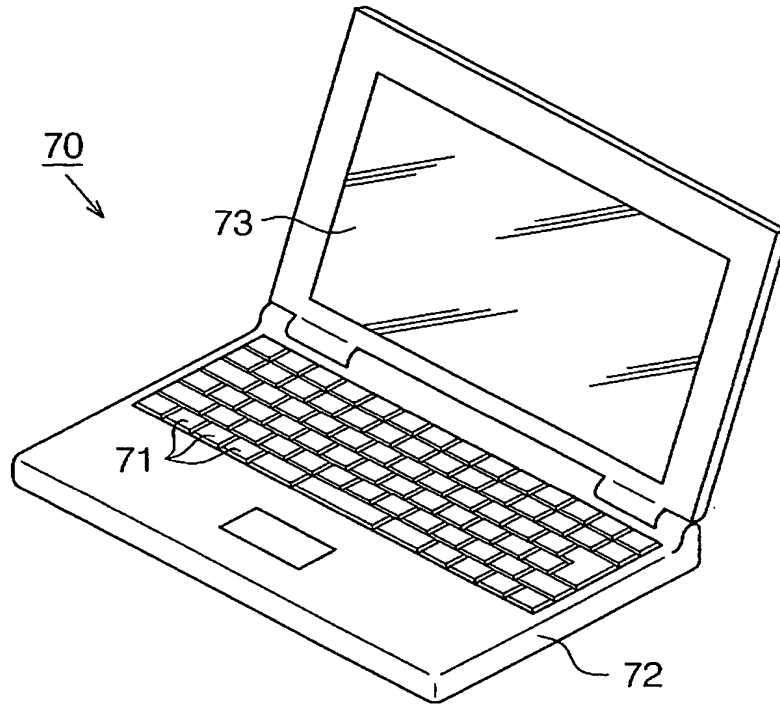
【図 5】



【図 6】

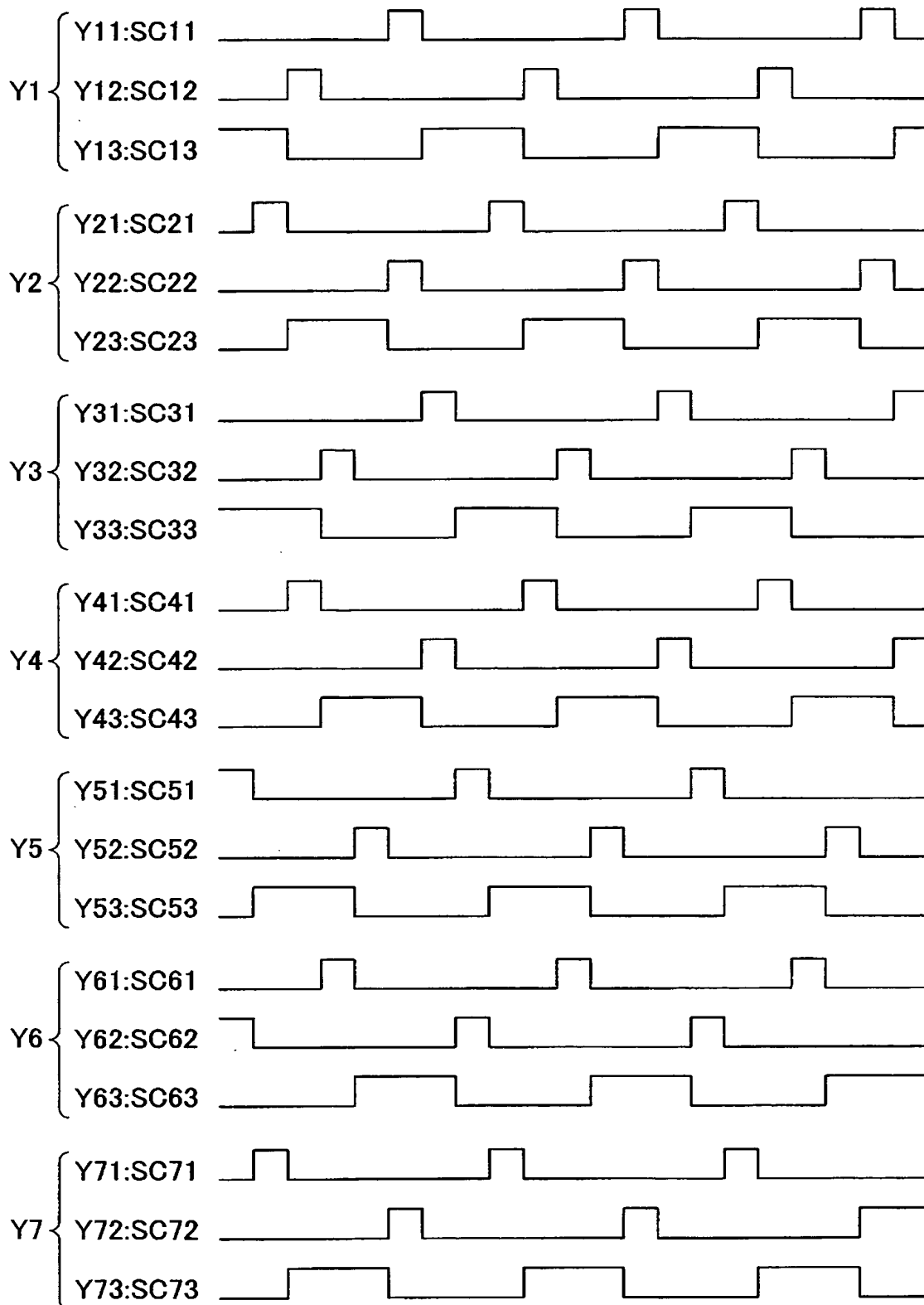


【図 7】

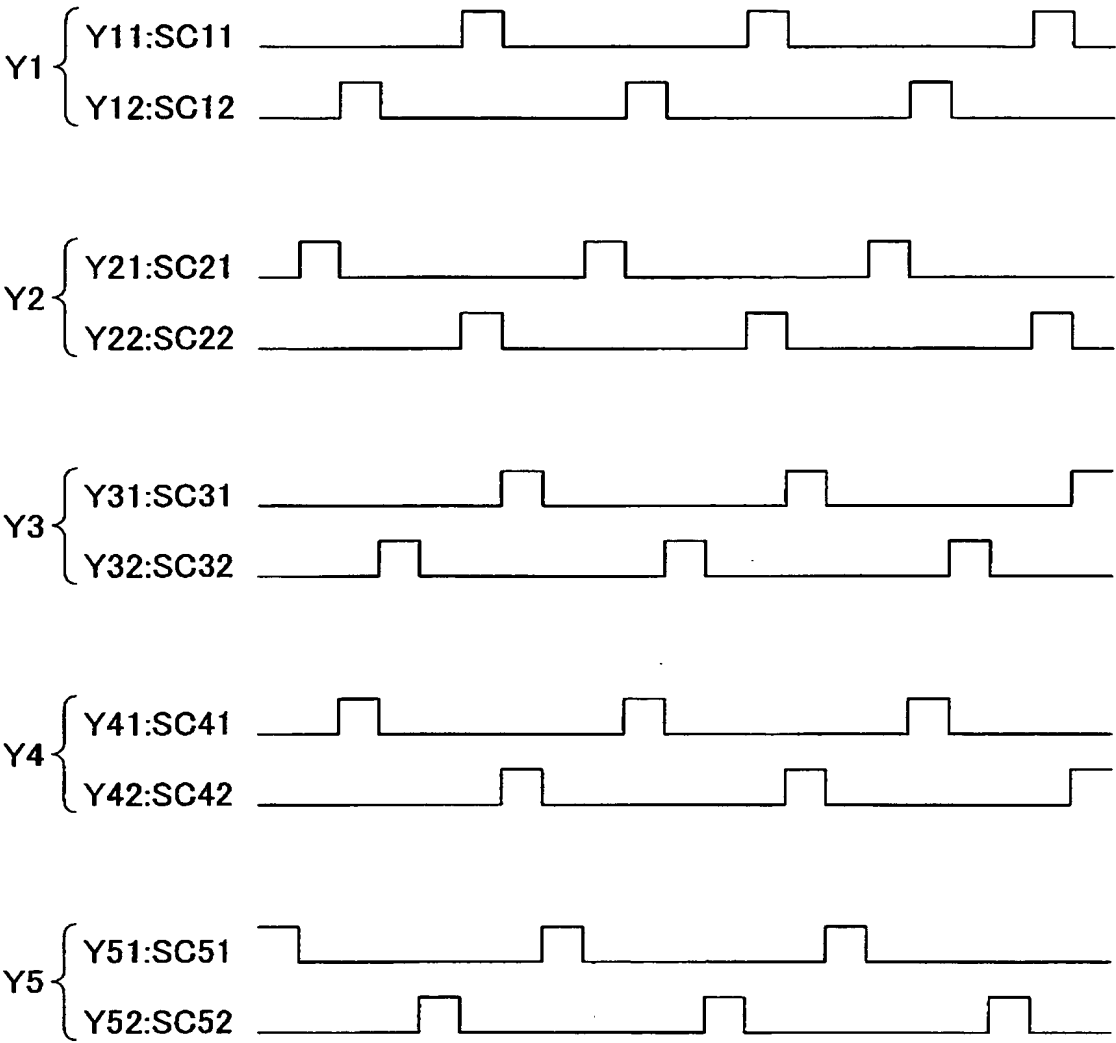




【図 8】



【図 9】



【書類名】 要約書

【要約】

【課題】 特別な回路を設けることなく、データ書き込み時間の短縮を図ることができる電気光学装置の駆動方法及び電子機器を提供する。

【解決手段】 駆動トランジスタ  $Q_d$  のドレインとゲートとの間に、同駆動トランジスタ  $Q_d$  のドレインとゲートとの電氣的接続を制御するリセットトランジスタ  $Q_{rst}$  を備えた画素回路 20 を表示パネル部上にマトリクス状に配置した。そして、そのマトリクス状に配置された画素回路 20 を走査線を介して走査線駆動回路に電氣的に接続した。そして、前記走査線駆動回路は、前記制御回路から供給される走査線制御信号に応じて第 1 の走査線  $Y_1$  に接続された画素回路 20 から順次前記リセットトランジスタ  $Q_{rst}$  をオン状態してリセットした後、有機 EL 素子 21 を発光させるようにした。

【選択図】 図 3

特願 2 0 0 3 - 0 3 3 6 6 6

出 願 人 履 歴 情 報

識別番号

[ 0 0 0 0 0 2 3 6 9 ]

1. 変更年月日

1 9 9 0 年 8 月 2 0 日

[変更理由]

新規登録

住 所

東京都新宿区西新宿 2 丁目 4 番 1 号

氏 名

セイコーエプソン株式会社